

(11)特許出願公開番号

(43)公開日 平成4年(1992)9月2日

301 S

(74)代理人 弁理士 柏谷 昭司 (外1名)

【特許請求の範囲】

【請求項1】一導電型の半導体基板と、該半導体基板を異方的にエッチング除去した窪みを埋め込むように該半導体基板とは逆導電型の半導体層を成長して形成したソース領域と、該半導体基板のチャンネル面よりも高い位置まで該半導体基板とは逆導電型の半導体層を成長して形成したドレイン領域と、該ソース領域と該ドレイン領域の間に絶縁膜を介して形成したゲート電極とから構成されたことを特徴とするMOS型半導体装置。

【請求項2】一導電型の半導体基板上に成長した該半導体基板とは逆導電型の半導体層が、ソース領域あるいはドレイン領域の周囲に存在する絶縁膜上に連続的に延在してソース領域あるいはドレイン領域の引出し配線を構成していることを特徴とする請求項1記載のMOS型半導体装置。

【請求項3】一導電型の半導体基板上に形成されたゲート電極をマスクとして少なくともソース領域に相当する部分の該半導体基板を異方的にエッチング除去する工程と、その工程によって除去された窪みを埋め込むと同時にドレイン領域に相当する部分にチャンネル面よりも高い位置まで該半導体基板とは逆導電型の半導体層を成長する工程と、該工程によってソース領域に相当する部分に成長した半導体層にソース電極を形成し、ドレイン領域に相当する部分に成長した半導体層にドレイン電極を形成する工程を含むことを特徴とするMOS型半導体装置の製造方法。

【請求項4】一導電型の半導体基板上に、該半導体基板とは逆導電型の半導体層を成長する時に、不純物のアウトディフュージョンが起こらない程度に充分低温のエピタキシャル成長を用いることを特徴とする請求項3記載のMOS型半導体装置の製造方法。

【請求項5】一導電型の半導体基板上に該半導体基板とは逆導電型の半導体層を成長する時に、ソース領域およびドレイン領域の周囲に存在する絶縁膜上にも該半導体層を連続的に成長し、絶縁膜上に形成された半導体層によってソース領域あるいはドレイン領域の引き出し配線を形成することを特徴とする請求項3記載のMOS型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、MOS型半導体装置、特に、チャンネル長の短いいわゆるショートチャネルMOSトランジスタとその製造方法に関するものである。

【0002】

【従来の技術】近年、微細加工技術の進歩にともない、MOSトランジスタのゲート長はサブミクロンから、 $0.3\mu\text{m}$ 以下におよぶディープサブミクロンに達しつつあり、研究レベルでは $0.1\mu\text{m}$ 以下の装置の試作例も報告されている。

【0003】このような装置では、装置の活性領域であ

るチャンネルの寸法が素子中におけるキャリアの平均自由行程に近い値となるため、ソース領域から高速で放出されるキャリアの輸送状態がミクロ的に非定常となり、エネルギーと運動量の緩和時間が一致しないため、キャリアがエネルギー値から期待される速度よりも高速で走行する、いわゆる、速度オーバーシュートや、キャリアが相互間の衝突を伴うことなくソース領域からドレイン領域に走行するバリスティック輸送といった効果が現れてくる。その結果、従来知られているスケールング則（比例縮小則）から予測される以上にトランスコンダクタンス（gm）が上昇するといった好ましい効果がもたらされる。

【0004】図3は、従来のショートチャネルMOSトランジスタの構成説明図である。この図において、31はp⁻型シリコン基板、32はフィールド酸化膜、33はゲート絶縁膜、34はポリシリコン層、35はシリサイド層、36はゲート電極、37は酸化膜、38はn⁺型ソース領域、39はn⁺型ドレイン領域、40はサイドウォール、41はソース電極、42はドレイン電極である。

【0005】このMOSトランジスタは、p⁻型シリコン基板31の素子形成領域の周囲にフィールド酸化膜32を形成し、上面にゲート絶縁膜33を形成し、その上にポリシリコン層34、シリサイド層35と、酸化膜37を形成し、これらの層ないし膜34、35、37のゲート領域以外の部分をエッチング除去し、残存したポリシリコン層34とシリサイド層35によってゲート電極36を形成した後、n型不純物をイオン注入してn⁺型ソース領域38とn⁺型ドレイン領域39を形成し、ゲート電極36の周囲にサイドウォール40を形成した後に、n⁺型ソース領域38とn⁺型ドレイン領域39に、それぞれソース電極41とドレイン電極42を形成することによって製造される。

【0006】上記のように、従来のディープサブミクロンMOSトランジスタにおいては、ソース領域38、ドレイン領域39ともに、不純物のイオン注入法によって形成されており、ソース領域とチャンネルの境界の電位傾度を大きくして、キャリアの非定常輸送を促進するため、ソース領域の不純物プロファイルをできるだけ急峻にすることが検討されていた。例えば、上記のディープサブミクロンMOSトランジスタの製造工程において、ソース領域に注入した不純物が熱拡散するのを抑制するため、nチャンネル型MOSの場合であれば不純物として拡散係数が小さい重い元素であるアンチモンを用いたり、不純物を注入した後に必要なアニールとしてRTA（Rapid Thermal Anneal）を用いることによって不純物の熱拡散を最小限度に抑える工夫が施されていた。

【0007】

【発明が解決しようとする課題】しかしながら、基本的

3

にソース領域をイオン注入法によって形成している以上、前記のような工夫を施しても、急峻な不純物プロファイルを得ることは限界があった。一方、ドレイン側については、電源電圧をさほど下げないで動作させる場合、この領域に電界集中が生じると、インパクトイオン化によって、いわゆるホットキャリア効果を生じるから、この現象を抑制するために、電界の集中を緩和するための何らかの工夫が必要である。したがって、従来の製造方法によっては、ディープサブミクロンゲート長のMOS型トランジスタの利点を最大限に活かすことは

【0008】

【課題を解決するための手段】本発明にかかるMOS型半導体装置においては、一導電型の半導体基板と、該半導体基板を異方的にエッチング除去した窪みを埋め込むように該半導体基板とは逆導電型の半導体層を成長して形成したソース領域と、該半導体基板のチャネル面よりも高い位置まで該半導体基板とは逆導電型の半導体層を成長して形成したドレイン領域と、該ソース領域と該ドレイン領域の間に絶縁膜を介して形成したゲート電極とを備える構成を採用した。

【0009】また、本発明にかかるMOS型半導体装置の製造方法においては、一導電型の半導体基板上に形成されたゲート電極をマスクとして少なくともソース領域に相当する部分の該半導体基板を異方的にエッチング除去する工程と、その工程によって除去された窪みを埋め込むと同時にドレイン領域に相当する部分にチャネル面よりも高い位置まで該半導体基板とは逆導電型の半導体層を成長する工程と、該工程によってソース領域に相当する部分に成長した半導体層にソース電極を形成し、ドレイン領域に相当する部分に成長した半導体層にドレイン電極を形成する工程を採用した。

【0010】

【作用】本発明においては、ソース領域を、異方的にエッチング除去した、壁面が垂直な窪み内に、低温の気相成長法により半導体層を成長することによって形成するため、本質的にソース領域端がチャネルに対してほぼ垂直にかつ階段接合状に形成できるため、キャリアの注入が効率的になり速度オーバーシュートに代表される非定常輸送を起こしやすくなることができる。その結果、従来のイオン注入法によって形成していた装置に比べgmはより大きな値となる。また、ドレイン領域はチャネル領域の平面よりも高い位置へ嵩あげされたいわゆるスタック型ドレイン構造となるので、ゲート電極の下に高不純物濃度領域が形成されず、したがって、ドレイン近傍の電界集中が避けられ、ホットキャリアの発生が抑制さ

4

れる。

【0011】

【実施例】以下、本発明の実施例を図面に基づいて説明する。

（第1実施例）（MOS型半導体装置）図1は、本発明の実施例であるMOS型半導体装置の断面図である。この図において、1はp⁻型シリコン基板、2はフィールド酸化膜、3はゲート酸化膜、4はn⁺型ポリシリコン層、5はWあるいはTiシリサイド層、6は酸化膜、7はゲート電極、8は保護膜、10はn⁺型ソース領域、11はn⁺型ドレイン領域、12はサイドウォール、13、14はシリサイド層である。

【0012】この装置は、p⁻型シリコン基板1の素子形成領域の周囲に形成されたアイソレーション用フィールド酸化膜2と、そのフィールド酸化膜2内の領域に、ゲート酸化膜3を介して、n⁺ポリシリコン層4および必要に応じてさらにその上に形成されたWあるいはTiシリサイド層5からなるゲート電極7と、少なくともソース領域のシリコン基板1を異方的にエッチング除去した深さ50～100nm程度の窪みを充填するように形成された単結晶または多結晶のn⁺型ソース領域10と、シリコン基板1の表面より高くなるように形成された、単結晶または多結晶のn⁺型ドレイン領域11を有している。

【0013】なお、図示された、酸化膜6、保護膜8はゲート電極7を構成するシリサイド層5あるいはポリシリコン層4を保護する膜であり、ゲート電極7の側壁のサイドウォール12は、ソース側のシリサイド層13とゲート電極7の間、および、ゲート電極7とドレイン側のシリサイド層14の間の絶縁を確保するために形成されている。また、ソース電極とドレイン電極のコンタクト抵抗を下げるために、ソース領域とドレイン領域の上にシリサイド層13、14が形成されている。

【0014】本実施例の装置によると、ソース領域端がチャネルに対してほぼ垂直で、階段接合状であるためキャリアの注入が効率的になり速度オーバーシュート等の非定常輸送を有効に起こさせることができる。その結果、従来のイオン注入によって形成していた装置に比べてgmを大きな値にすることができる。また、ドレイン領域はチャネル領域の平面よりも高く嵩あげされたスタック型構造となるので、ドレイン近傍の電界集中が避けられ、ホットキャリアの発生が抑制される。

【0015】（第2実施例）（MOS型半導体装置の製造方法）図2は、本発明のMOS型半導体装置の製造方法の一実施例の製造工程図である。この図において、9がレジストパターン、10aがソース領域の窪みである他は、図1において同符号を付して説明したものと同様である。以下、図2にそって本発明の一実施例の製造工程をn-chMOSについて説明する。

【0016】I.（図2（A）参照）まず、p⁻型シリコ

ン基板1の素子形成領域の周囲に、従来慣用されている工程によって、アイソレーション用フィールド酸化膜2を形成する。次いで、熱酸化によってゲート酸化膜3を形成し、その上にCVD法によってn⁺型ポリシリコン層4、必要に応じてさらにその上に、WあるいはTiシリサイド層5を形成し、その上にシリコン酸化層6を成長する。次に、これらの層をリソグラフィ技術とエッチング技術によって選択的に除去し、n⁺型ポリシリコン層4とWあるいはTiシリサイド層5によってゲート電極7を形成する。なお、ゲート長は0.25~0.1

μmの範囲である。そして、ゲート電極側部を軽く酸化して保護膜8を形成する。
【0017】II. (図2(B)参照) その後、ドレイン電極領域の酸化膜3をレジストをマスクとして選択的に除去する。続いて、別のレジストパターン9を用いてドレイン領域をカバーし、ソース領域を露出した後、該レジストパターン9と、ゲート電極7あるいはその周囲の絶縁膜6、8と、フィールド酸化膜2をマスクとして、少なくともソース領域のシリコン基板をCF₄+H₂を用いた異方性エッチングにより除去して窪み10aを形成する。このとき除去するシリコン基板1の深さは、50~100nm程度である。

【0018】III. (図2(C)参照) レジストパターン9を除去した後、前工程においてエッチングされたソース領域の窪み10aを充填すると同時にドレイン領域上にシリコン基板1の表面より高くなるように、n型にドーブしたシリコン層10、11を低温CVD法により選択的に成長する。このとき成長するシリコンは多結晶でも、単結晶でもよいが、n型の不純物が成長時にチャネル領域にオートドーブしないようにCVD成長はできるだけ低温で行うことが好ましい。このようなCVD成長は、例えば、Si:H₂を用いて、10⁻³Torr、望ましくは10⁻⁴Torr程度の超低圧、600~800℃程度の低温の工程や、UV照射を利用した光反応CVD等の技術により達成される。この工程においては、上記のように、n型にドーブしたシリコン層を、ソース領域およびドレイン領域内に選択的に成長させても良いし、全面に成長した後、ソース領域、ドレイン領域、および必要に応じて、その引き出し電極以外をエッチング除去するような工程をとってもよい。

【0019】IV. (図2(D)参照) 最後に、必要に応じて、後に形成するソース側シリサイド層13とゲート電極7の間、および、ゲート電極7とドレイン側シリサイド層14の間の絶縁を確保するために、例えば、上面全体にCVD法によってSiO₂膜を形成し、異方性エッチングする等の、サイドウォール形成技術により、ゲート電極7の側壁にサイドウォール12を形成し、その後、ソース電極とドレインのコンタクト抵抗を下げるために、ソース領域10とドレイン領域11の上にシリサ

イド層13、14を形成する。なお、このサイドウォール14、15は、装置の構造、製造方法によっては必要でない場合もある。

【0020】本実施例のMOS型半導体装置の製造方法によると、チャネルに対してほぼ垂直で階段接合状の不純物プロファイルをもつソース構造と、チャネル領域の平面よりも高い位置へ嵩あげされたスタック型ドレイン構造が一度の結晶成長によって実現でき、その結果、ソース領域におけるキャリアの注入が効率的になって速度オーバーシュート等の非定常輸送が生じやすくなって、gmを大きな値にすることができ、また、ドレイン電極近傍の電界集中を避けることができ、ホットキャリアの発生が抑制される。以上の実施例においては、n-ch MOSトランジスタの例を用いて説明したが、p-ch MOSトランジスタであっても同様の工程を逆導電型の半導体に適用すれば実現できることはいうまでもない。

【0021】

【発明の効果】以上説明したように、本発明によれば異方性エッチングと低温気相成長を用いることによって、不純物濃度が急峻でかつチャネルに対し、垂直なソース領域を形成することができ、従来のイオン注入法を用いてソース電極を形成していたMOS半導体装置に比べ、はるかに高いトランスコンダクタンスgmが得られる上、ドレイン電極においてはスタック型構造になっているために電界集中を避けることが可能となり、ホットキャリア耐性の優れたMOSトランジスタが実現できる。

【図面の簡単な説明】

【図1】本発明の実施例であるMOS型半導体装置の断面図である。

【図2】本発明のMOS型半導体装置の製造方法の一実施例の製造工程図である。

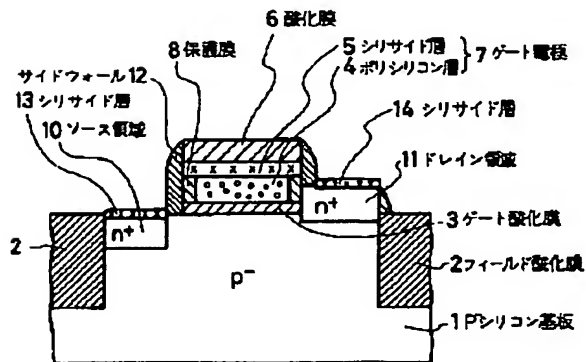
【図3】従来のショートチャネルMOSトランジスタの構成説明図である。

【符号の説明】

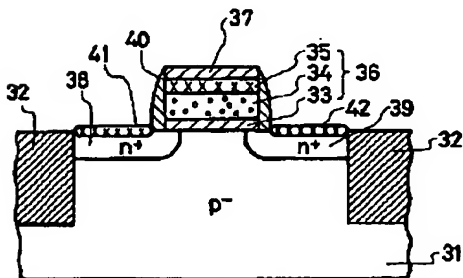
- 1 p⁺型シリコン基板
- 2 フィールド酸化膜
- 3 ゲート酸化膜
- 4 n⁺型ポリシリコン層
- 5 WあるいはTiシリサイド層
- 6 酸化膜
- 7 ゲート電極
- 8 保護膜
- 9 レジストパターン
- 10 n⁺型ソース領域
- 11 n⁺型ドレイン領域
- 12 サイドウォール
- 13 シリサイド層
- 14 シリサイド層

【図1】

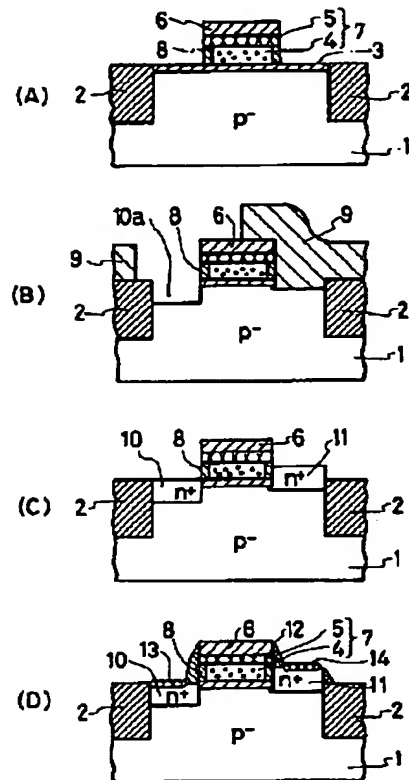
本発明の実施例であるMOS型半導体装置の断面図



【図3】

従来のショートチャネルMOS
トランジスタの構成説明図

【図2】

本発明のMOS型半導体装置の
製造方法の一実施例の製造工程図

THIS PAGE BLANK (USPTO)